

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-224244

(43)Date of publication of application : 11.08.2000

(51)Int.Cl.

H04L 25/497

H04J 14/08

H04J 3/00

H04J 3/04

H04L 25/02

(21)Application number : 11-026408

(71)Applicant : NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt;

(22)Date of filing : 03.02.1999

(72)Inventor : YONENAGA KAZUSHIGE

YONEYAMA MIKIO

MURATA KOICHI

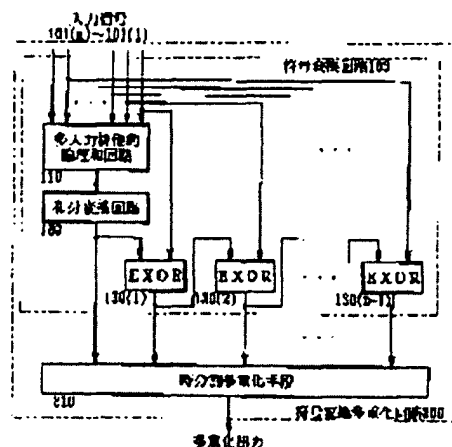
MIYAMOTO YUTAKA

## (54) CODE CONVERSION CIRCUIT AND CODE CONVERSION MULTIPLEXER CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a code conversion circuit and a code conversion multiplexer circuit that can deal with an ultrahigh transmission rate with a simple means.

**SOLUTION:** The code conversion circuit keeps an output logic with respect to a 1st logic of a binary data signal that is n-multiplexed in time division and applies referential encoding to invert an output logic with respect to a 2nd input logic. In this case, the code conversion circuit is provided with a multiplex pre-conversion circuit 100 that receives a 1st n-parallel electric signal with a signal rate of 1/n before n-multiplexing, outputs a code-converted n-parallel 2nd electric signal, and conducts code conversion so that a 3rd electric signal generated when the n-parallel 2nd electric signal is time division multiplexed for each bit is equal to a signal obtained by referential encoding after each bit of the binary data is n-multiplexed by time division.



## LEGAL STATUS

[Date of request for examination] 12.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3474794

[Date of registration] 19.09.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-224244  
(P2000-224244A)

(43)公開日 平成12年8月11日(2000.8.11)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-コ-ト <sup>*</sup> (参考)
H 0 4 L 25/497		H 0 4 L 25/497	5 K 0 0 2
H 0 4 J 14/08		H 0 4 J 3/00	Q 5 K 0 2 8
		3/04	Z 5 K 0 2 9
		H 0 4 L 25/02	3 0 3 A
H 0 4 L 25/02	3 0 3	H 0 4 B 9/00	D
審査請求 未請求 請求項の数12 O L (全 16 頁)			

(21)出願番号 特願平11-26408

(22)出願日 平成11年2月3日(1999.2.3)

(71)出願人 000004226

日本電信電話株式会社  
東京都千代田区大手町二丁目3番1号

(72)発明者 米永 一茂

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 米山 幹夫

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(74)代理人 100072718

弁理士 古谷 史旺

最終頁に続く

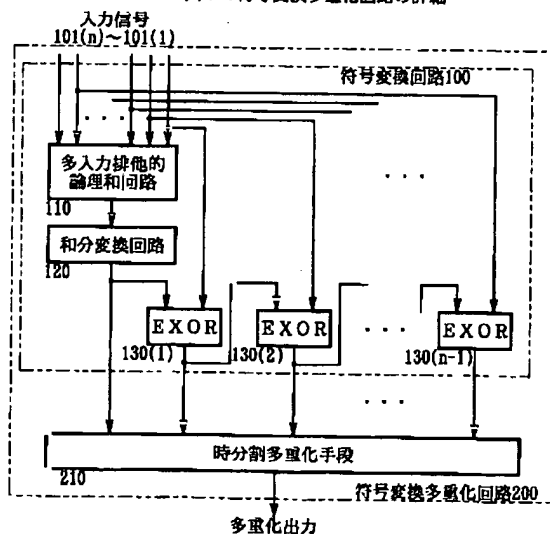
(54)【発明の名称】 符号変換回路及び符号変換多重化回路

(57)【要約】

【課題】 本発明は、簡略的な手段により超高速の伝送速度に対応した符号変換回路及び符号変換多重化回路の実現を可能にすることを目的とする。

【解決手段】 時分割で $n$ 多重された2値データ信号に対して、第1の入力論理に対しては出力論理を保持し、第2の入力論理に対しては出力論理を反転する和分変換を行う符号変換回路において、 $n$ 多重される前の $1/n$ の信号速度を有する $n$ 並列の第1の電気信号を入力して符号変換された $n$ 並列の第2の電気信号を出力するとともに、前記 $n$ 並列の第2の電気信号を1ビット毎に時分割多重したときに生成される第3の電気信号が、前記2値データ信号を1ビット毎に時分割で $n$ 多重したのちに前記和分変換した信号と等しくなるように前記符号変換を行う多重化前変換回路100を設けたことを特徴とする。

図1の符号変換多重化回路の詳細



## 【特許請求の範囲】

【請求項1】 時分割で $n$ 多重された2値データ信号に対して、第1の入力論理に対しては出力論理を保持し、第2の入力論理に対しては出力論理を反転する和分変換を行う符号変換回路において、

$n$ 多重される前の $1/n$ の信号速度を有する $n$ 並列の第1の電気信号を入力して符号変換された $n$ 並列の第2の電気信号を出力するとともに、前記 $n$ 並列の第2の電気信号を1ビット毎に時分割多重したときに生成される第3の電気信号が、前記2値データ信号を1ビット毎に時分割で $n$ 多重したのちに前記和分変換した信号と等しくなるように前記符号変換を行う多重化前変換回路を設けたことを特徴とする符号変換回路。

【請求項2】 請求項1の符号変換回路において、入力される $n$ 並列の前記第1の電気信号の全ての排他的論理和を演算する第1の排他的論理回路と、前記第1の排他的論理回路が出力する信号を入力して、該信号の第1の入力論理に対しては出力論理を保持し、第2の入力論理に対しては出力論理を反転し、入力に対して1タイムスロットの時間だけ遅延を与えた信号を出力する和分変換回路と、入力される $n$ 並列の前記第1の電気信号の1つと、前記和分変換回路の出力との排他的論理和を演算する第2の排他的論理回路とを前記多重化前変換回路に設け、少なくとも前記和分変換回路の出力する信号と前記第2の排他的論理回路の出力する信号とを前記多重化前変換回路から出力することを特徴とする符号変換回路。

【請求項3】 請求項2の符号変換回路において、前記和分変換回路に、2つの入力端子を有する排他的論理回路と、該排他的論理回路の出力に1タイムスロットの時間だけ遅延を与える遅延手段とを設け、前記排他的論理回路の一方の入力を前記和分変換回路の入力に接続し、前記遅延手段の出力する信号を前記排他的論理回路の他方の入力に帰還するとともに前記和分変換回路の出力として取り出すことを特徴とする符号変換回路。

【請求項4】 請求項1の符号変換回路において、前記第1の電気信号として前記並列数 $n$ が2の並列信号を入力する場合に、該並列信号のうち時分割多重の順番が早い信号を先行信号とし、遅い信号を後続信号として、前記後続信号に対して $1/2$ タイムスロットの時間だけ遅延を与える第1の遅延手段と、一方の入力に前記先行信号が印加される第1の排他的論理回路と、

一方の入力に、前記第1の遅延手段によって $1/2$ タイムスロット時間だけ遅延された前記後続信号が印加される第2の排他的論理回路と、前記第1の排他的論理回路の出力する信号に $1/2$ タイムスロット時間だけ遅延を与える第2の遅延手段と、前記第2の排他的論理回路の出力する信号に $1/2$ タイムスロット時間だけ遅延を与える第3の遅延手段と、

前記第2の遅延手段及び第3の遅延手段の出力の初期状態をリセットするためのリセット手段とを前記多重化前変換回路に設け、前記第2の遅延手段の出力する信号を前記第2の排他的論理回路の他方の入力に帰還し、前記第3の遅延手段の出力する信号を前記第1の排他的論理回路の他方の入力に帰還し、前記第2の遅延手段の出力する信号及び第3の遅延手段の出力する信号を前記多重化前変換回路から出力することを特徴とする符号変換回路。

【請求項5】 入力される2値データ信号の第1の入力論理に対しては出力論理を保持し、第2の入力論理に対しては出力論理を反転する和分変換を行う符号変換回路において、

前記2値データ信号が一方の入力に印加される排他的論理回路と、前記排他的論理回路の出力に接続されたDタイプフリップフロップとを設けるとともに、前記Dタイプフリップフロップに含まれるマスターラッチの出力を分岐して、該出力からの信号を前記排他的論理回路の他方の入力に帰還するとともに、前記Dタイプフリップフロップに含まれるスレーブラッチの出力から符号変換された信号を取り出すことを特徴とする符号変換回路。

【請求項6】 入力される2値データ信号の第1の入力論理に対しては出力論理を保持し、第2の入力論理に対しては出力論理を反転させる和分変換を行う符号変換回路において、

それぞれが入力信号に対して1タイムスロット時間の遅延を与える $n-1$ 個の第1の遅延手段と、前記2値データ信号及び前記第1の遅延手段が出力する $n-1$ 個の信号のすべての排他的論理和を演算する第1の排他的論理回路と、前記第1の排他的論理回路の出力が一方の入力に接続された第2の排他的論理回路と、前記第2の排他的論理回路の出力に $n$ タイムスロット時間だけ遅延を与える第2の遅延手段とを設け、互いに1タイムスロットの出現時間差を形成した $n$ 個の信号を前記第1の排他的論理回路に入力し、前記第2の遅延手段の出力する信号を前記第2の排他的論理回路の他方の入力に帰還し、前記第2の排他的論理回路の出力から符号変換された信号を取り出すことを特徴とする符号変換回路。

【請求項7】 請求項6の符号変換回路において、前記第1の排他的論理回路を $n-1$ 個の排他的論理回路を組み合わせて構成したことを特徴とする符号変換回路。

【請求項8】 請求項2の符号変換回路において、入力信号が一方の入力に印加される排他的論理回路と、前記排他的論理回路の出力に接続されたDタイプフリップフロップとを前記和分変換回路に設けるとともに、

前記Dタイプフリップフロップに含まれるマスターラッチの出力を分岐して、該出力からの信号を前記排他的論理和回路の他方の入力に帰還するとともに、前記Dタイプフリップフロップに含まれるスレーブラッチの出力から和分変換された信号を取り出すことを特徴とする符号変換回路。

【請求項9】 請求項2の符号変換回路において、それぞれが入力信号に対して1タイムスロット時間の遅延を与える $n-1$ 個の第1の遅延手段と、入力信号及び前記第1の遅延手段が出力する $n-1$ 個の信号のすべての排他的論理和を演算する第1の排他的論理和回路と、前記第1の排他的論理和回路の出力が一方の入力に接続された第2の排他的論理和回路と、前記第2の排他的論理和回路の出力に $n$ タイムスロット時間だけ遅延を与える第2の遅延手段とを前記和分変換回路に設けるとともに、互いに1タイムスロットの出現時間差を形成した $n$ 個の信号を前記第1の排他的論理和回路に入力し、前記第2の遅延手段の出力する信号を前記第2の排他的論理和回路の他方の入力に帰還し、前記第2の排他的論理和回路の出力から和分変換された信号を取り出すことを特徴とする符号変換回路。

【請求項10】 請求項9の符号変換回路において、前記第1の排他的論理和回路を $n-1$ 個の排他的論理和回路を組み合わせて構成したことを特徴とする符号変換回路。

【請求項11】 請求項1、請求項2、請求項3、請求項4及び請求項8のいずれかの符号変換回路において、入力される2値データ信号を該2値データ信号の $1/n$ の信号速度の $n$ 並列信号に時分割分離する分離手段を更に設け、前記分離手段の出力する信号を符号変換回路の入力に印加することを特徴とする符号変換回路。

【請求項12】 請求項1、請求項2、請求項3、請求項4及び請求項8のいずれかの符号変換回路の出力に、該符号変換回路の並列出力信号を1ビット毎に時分割多重して出力する時分割多重化手段を接続したことを特徴とする符号変換多重化回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、符号変換回路及び符号変換多重化回路に関し、特に光ファイバ通信システムで利用される超高速信号の生成に関する。

【0002】

【従来の技術】超高速の光ファイバ通信システムにおいては、光ファイバ伝送路の波長分散の影響が顕著になる。分散耐力の高い伝送方式として、光デュオバイナリ伝送方式が知られている。光デュオバイナリ伝送方式は、Non-Return-to-Zero（以下「NRZ」と呼ぶ）伝送方式と比較して分散耐力を約2倍に向上することが可能であるため、超高速光伝送システムへの適用が期待され

ている（K. Yonenaga and S. Kuwano, J. Lightwave Technol., Vol. 15, No.8, pp. 1530-1537, 1997.）。

【0003】光デュオバイナリ伝送システムの送信機は、従来より図21に示すように構成されている。図21は、2つの入力信号 $X_1$ 、 $X_2$ を時分割多重化して伝送する場合の構成を示している。多重化回路は、2つの入力信号 $X_1$ 、 $X_2$ を交互に周期的に選択する信号セレクトなどの回路で構成される。図22に示すように、多重化回路が出力する信号 $X_3$ には2つの入力信号 $X_1$ 、 $X_2$ の成分が時分割で交互に現れる。この例では多重数が2なので、信号 $X_3$ の速度（ビットレート）は入力信号 $X_1$ 、 $X_2$ に比べて2倍になっている。

【0004】多重化回路が出力する信号 $X_3$ は、プリコードと呼ばれる符号変換回路に入力される。一般に、プリコードは図21に示すように排他的論理和回路（EXOR）と1ビット遅延手段とで構成される。1ビット遅延手段によって遅延された信号 $X_5$ は、排他的論理和回路の入力に帰還される。図22に示すように、プリコードはそれに入力される信号 $X_3$ の論理が「1」の場合にのみ出力の論理を反転し、入力される信号 $X_3$ の論理が「0」の場合には出力の論理を保持する。

【0005】プリコードの排他的論理和回路は、それが出力する信号 $X_4$ を1ビット時間遅延した信号 $X_5$ と入力信号 $X_3$ との排他的論理和を演算する。プリコードが出力する信号 $X_5$ の状態は、排他的論理和回路が出力する信号 $X_4$ の初期値に応じて変化する。図22の例では信号 $X_4$ の初期値が論理「0」の場合を想定しているが、信号 $X_4$ の初期値が論理「1」の場合でも信号の論理が反転するだけで大きな差はない。なお、図22の例では排他的論理和回路などの遅延時間は考慮していない。

【0006】図21の例ではプリコードの出力信号 $X_5$ を1ビット遅延手段の出力から取り出しているが、排他的論理和回路の出力信号 $X_4$ をプリコードの出力信号として取り出す場合もある。その場合には、信号のタイミングが1ビットシフトするが本質的な違いは生じない。プリコードが出力する2値信号は、論理反転回路に入力される。この論理反転回路は、互いに位相が180度異なる非反転信号と反転信号とをそれぞれ出力する。これらの非反転信号及び反転信号は、それぞれ独立したローパスフィルタ（LPF）を通して非反転デュオバイナリ信号及び反転デュオバイナリ信号に変換され、プッシュプル型のMZ（マッハツェンダ）変調器に変調電気信号として印加される。

【0007】ローパスフィルタとしては、例えば遮断周波数が伝送速度の $1/4$ 程度のものが用いられる。非反転信号及び反転信号は、各々がローパスフィルタを通ることにより、例えば「0」、「1」の2値から「-1」、「0」、「1」の3値の信号系列の電圧に変換される。MZ変調器は、レーザダイオードなどで構成され

る光源から入力される光の透過率を非反転デュオバイナリ信号及び反転デュオバイナリ信号に応じて変調する。すなわち、非反転デュオバイナリ信号及び反転デュオバイナリ信号として「-1」、「0」、「1」の3値の信号が印加される場合には、信号が「-1」及び「1」のときに最大透過率になり、信号が「0」のときに最小透過率になる。

【0008】但し、3値の非反転デュオバイナリ信号及び反転デュオバイナリ信号が「-1」の場合と「1」の場合とでは、印加電圧の極性の反転によりMZ変調器から出力される光の位相が逆転する。つまり、光の強度と位相とが3値のデュオバイナリ信号に応じて変調された光パルスがMZ変調器から出力される。MZ変調器から出力される光パルスは、エルビウム添加光増幅器で増幅され、図示しない光伝送路に出力される。

【0009】この種の光デュオバイナリ伝送システムの送信機においては、従来より、高速のICプロセスを用いてプリコーダの回路の高速化が図られてきた。また、デュオバイナリエンコーダを光回路を用いて構成した伝送装置の従来例として、特開平10-164010号公報が知られている。ただし、この従来例では光符号分割多重アクセス方式における多重分離のための符号としてデュオバイナリ符号を用いており、デュオバイナリ符号自体には主信号の情報は含まれない。また、特開平10-164010号公報に示されたデュオバイナリエンコーダは光回路で相関コーディング部分のみを構成しているため、プリコーディングを含んだ主信号の完全なデュオバイナリ符号化には適用できない。

【0010】本発明は、デュオバイナリ符号化回路の一部であるプリコーディング回路（電気回路）を扱うものであり、特開平10-164010号公報とは異なる技術である。このプリコーディングは差動符号化や和分変換とも呼ばれ、デュオバイナリ符号化以外にも用いられる。

【0011】

【発明が解決しようとする課題】図21に示すように、多重化回路による電気信号の時分割多重化によって伝送速度と同じ速度になった多重化信号を従来のプリコーダ回路で処理する場合には、伝送速度を更に高速化しようとする場合に以下の問題が生じる。

【0012】第1に、排他的論理和回路の速度限界により、多重化された信号を処理できないという問題がある。多重化回路を構成するセレクト回路が処理する信号の速度は伝送速度の1/2までの速度であるのに対し、排他的論理和回路では最高速度である伝送速度と同じ高速の信号を処理しなくてはならない。このため、同一のトランジスタプロセスを用いて排他的論理和回路及びセレクト回路を構成すると、排他的論理和回路では、セレクト回路の最高動作速度の信号は処理できないのが一般的である。

【0013】第2に、1ビット遅延の実現が困難である。1ビット遅延の実現手段としては、フィードバック伝送線路の伝搬遅延時間を利用する方法、シリーズに接続したバッファアンプの伝搬遅延を利用する方法及びDタイプフリップフロップ（以下「D-F/F」と呼ぶ）を用いる方法がある。特に、D-F/Fを用いる方法は、図19に示すような構成によりクロック信号の位相を外から調整すれば遅延時間を最適値に設定することができるため、非常に有効な手段である。

【0014】しかしながら、伝送速度の向上に伴って回路の伝搬遅延が1ビットのタイムスロットに比べて無視できない値になると、排他的論理和回路へのフィードバックに要する遅延時間が1タイムスロット時間以上になってしまう。図19、図20の例を参照して説明する。この例では、入力信号のデータとして「1100・・・」を想定し、図19の排他的論理和回路（EXOR）の出力信号の初期状態として「0」を想定している。

【0015】図20に示すように、入力信号の最初の「1」のビットにより排他的論理和回路は内部遅延時間d1の後、出力信号の論理を「0」から「1」に反転する。また、排他的論理和回路が出力する信号をD-F/Fが読み込んでから出力するまでには遅延時間d2を要する。D-F/Fは、一般的にマスタースレーブ型と呼ばれ、内部はマスターラッチとスレーブラッチとの2段構成になっている。クロック信号が「0」の時、マスターラッチが入力を読み込み、クロック信号が「0」から「1」に遷移する瞬間に、マスターラッチ内部で確定した論理レベルがスレーブラッチに読み込まれるとともに、D-F/Fの出力が書き変わり、クロック信号が次の「1」状態になるまで書き換えた情報を保持する。したがって、遅延時間d2には回路自身の伝搬遅延に加え、D-F/Fが入力を取り込み書き換えるまでのクロック半周期分の遅延が必然的に含まれる。

【0016】プリコーダの回路が1ビット遅延を実現するためには、前記遅延時間d1、d2の和が1ビットの遅延時間と一致する必要がある。しかし、伝送速度の向上に伴い、総遅延時間が1ビット遅延を越えてしまうと、排他的論理和回路の入力端での信号の位相ずれが生じ、排他的論理和回路の出力信号に図20に示すようなノッチが発生して誤動作の原因になる。

【0017】以上述べたように、従来のプリコーダのような符号化回路においては、回路自身の速度制限に加えて、回路の伝搬遅延が無視できなくなるため、さらなる高速化は極めて困難であった。本発明は、簡略的な手段により超高速の伝送速度に対応した符号変換回路及び符号変換多重化回路の実現を可能にすることを目的とする。

【0018】

【課題を解決するための手段】請求項1は、時分割でn多重された2値データ信号に対して、第1の入力論理に

対しては出力論理を保持し、第2の入力論理に対しては出力論理を反転する和分変換を行う符号変換回路において、 $n$ 多重される前の $1/n$ の信号速度を有する $n$ 並列の第1の電気信号を入力して符号変換された $n$ 並列の第2の電気信号を出力するとともに、前記 $n$ 並列の第2の電気信号を1ビット毎に時分割多重したときに生成される第3の電気信号が、前記2値データ信号を1ビット毎に時分割で $n$ 多重したのちに前記和分変換した信号と等しくなるように前記符号変換を行う多重化前変換回路を設けたことを特徴とする。

【0019】本発明の多重化前変換回路は、時分割多重する前の並列信号を入力して符号変換を実施するため、比較的低速の多重化前変換回路で高速の伝送速度に対応できる。すなわち、時分割多重する前の並列信号は速度が伝送速度の $1/n$ であるため、伝送速度に比べて低速動作の回路を用いても信号を処理できる。請求項2は、請求項1の符号変換回路において、入力される $n$ 並列の前記第1の電気信号の全ての排他的論理和を演算する第1の排他的論理回路と、前記第1の排他的論理回路が出力する信号を入力して、該信号の第1の入力論理に対しては出力論理を保持し、第2の入力論理に対しては出力論理を反転し、入力に対して1タイムスロットの時間だけ遅延を与えた信号を出力する和分変換回路と、入力される $n$ 並列の前記第1の電気信号の1つと、前記和分変換回路の出力との排他的論理和を演算する第2の排他的論理回路とを前記多重化前変換回路に設け、少なくとも前記和分変換回路の出力する信号と前記第2の排他的論理回路の出力する信号とを前記多重化前変換回路から出力することを特徴とする。

【0020】請求項2の第1の排他的論理回路、和分変換回路及び第2の排他的論理回路を用いることにより、請求項1の多重化前変換回路を実現可能である。請求項3は、請求項2の符号変換回路において、前記和分変換回路に、2つの入力端子を有する排他的論理回路と、該排他的論理回路の出力に1タイムスロットの時間だけ遅延を与える遅延手段とを設け、前記排他的論理回路の一方の入力を前記和分変換回路の入力に接続し、前記遅延手段の出力する信号を前記排他的論理回路の他方の入力に帰還するとともに前記和分変換回路の出力として取り出すことを特徴とする。

【0021】この和分変換回路によって、第1の入力論理に対しては出力論理を保持し、第2の入力論理に対しては出力論理を反転するように変換を行うことができる。請求項4は、請求項1の符号変換回路において、前記第1の電気信号として前記並列数 $n$ が2の並列信号を入力する場合に、該並列信号のうち時分割多重の順番が早い信号を先行信号とし、遅い信号を後続信号として、前記後続信号に対して $1/2$ タイムスロットの時間だけ遅延を与える第1の遅延手段と、一方の入力に前記先行信号が印加される第1の排他的論理回路と、一方の入

力に、前記第1の遅延手段によって $1/2$ タイムスロット時間だけ遅延された前記後続信号が印加される第2の排他的論理回路と、前記第1の排他的論理回路の出力する信号に $1/2$ タイムスロット時間だけ遅延を与える第2の遅延手段と、前記第2の排他的論理回路の出力する信号に $1/2$ タイムスロット時間だけ遅延を与える第3の遅延手段と、前記第2の遅延手段及び第3の遅延手段の出力の初期状態をリセットするためのリセット手段とを前記多重化前変換回路に設け、前記第2の遅延手段の出力する信号を前記第2の排他的論理回路の他方の入力に帰還し、前記第3の遅延手段の出力する信号を前記第1の排他的論理回路の他方の入力に帰還し、前記第2の遅延手段の出力する信号及び第3の遅延手段の出力する信号を前記多重化前変換回路から出力することを特徴とする。

【0022】第1の遅延手段は、入力される並列信号を構成する先行信号と後続信号との間に $1/2$ タイムスロットの時間差を与える。この時間差が形成された先行信号と後続信号とを第1の排他的論理回路及び第2の排他的論理回路で処理することにより、多重化後の信号を符号化する場合と等価な符号変換が可能になる。請求項5の符号変換回路は、入力される2値データ信号の第1の入力論理に対しては出力論理を保持し、第2の入力論理に対しては出力論理を反転する和分変換を行う符号変換回路において、前記2値データ信号が一方の入力に印加される排他的論理回路と、前記排他的論理回路の出力に接続されたDタイプフリップフロップとを設けるとともに、前記Dタイプフリップフロップに含まれるマスターラッチの出力を分岐して、該出力からの信号を前記排他的論理回路の他方の入力に帰還するとともに、前記Dタイプフリップフロップに含まれるスレーブラッチの出力から符号変換された信号を取り出すことを特徴とする。

【0023】一般に、Dタイプフリップフロップの内部はマスターラッチとスレーブラッチとで構成される。Dタイプフリップフロップに印加されるクロック信号が「0」の時、マスターラッチが入力を読み込み、クロック信号が「0」から「1」に移移する瞬間に、マスターラッチ内部で確定した論理レベルがスレーブラッチに読み込まれるとともに、Dタイプフリップフロップの出力が書き変わり、クロック信号が次の「1」状態になるまで書き換えた情報が保持される。

【0024】排他的論理回路が出力する信号をDタイプフリップフロップが読み込んでから出力するまでの遅延時間(図20のd2)には、回路自身の伝搬遅延に加え、Dタイプフリップフロップが入力を取り込み書き換えるまでのクロック半周期分の遅延が含まれている。請求項5においては、Dタイプフリップフロップ内部のマスターラッチの出力からフィードバックすべき信号を取り出すので、この信号の遅延時間は、Dタイプフリップ

フロップの出力（スレーブラッチの出力）から取り出される信号の遅延時間に比べて小さくなる。従って、伝送速度が高くなった場合に1ビット遅延回路の総遅延時間が1ビットより大きくなるのを防止するのに役立つ。

【0025】請求項6は、入力される2値データ信号の第1の入力論理に対しては出力論理を保持し、第2の入力論理に対しては出力論理を反転させる和分変換を行う符号変換回路において、それぞれが入力信号に対して1タイムスロット時間の遅延を与える $n-1$ 個の第1の遅延手段と、前記2値データ信号及び前記第1の遅延手段が出力する $n-1$ 個の信号のすべての排他的論理和を演算する第1の排他的論理和回路と、前記第1の排他的論理和回路の出力が一方の入力に接続された第2の排他的論理和回路と、前記第2の排他的論理和回路の出力に $n$ タイムスロット時間だけ遅延を与える第2の遅延手段とを設け、互いに1タイムスロットの出現時間差を形成した $n$ 個の信号を前記第1の排他的論理和回路に入力し、前記第2の遅延手段の出力する信号を前記第2の排他的論理和回路の他方の入力に帰還し、前記第2の排他的論理和回路の出力から符号変換された信号を取り出すことを特徴とする。

【0026】一般に、プリコーダのような符号化回路においては1ビット遅延手段を必要とする。しかし、伝送速度が高速になると1ビットの時間が短くなるため、回路内部の信号遅延などによって1ビット遅延手段の実現が困難になる。請求項6においては、 $n-1$ 個の第1の遅延手段と第1の排他的論理和回路とを用いて事前に信号処理を施すことによって、1ビット遅延手段の代わりに第2の遅延手段を用いることができる。第2の遅延手段の遅延時間は、1ビットの時間に相当する1タイムスロットの $n$ 倍になるため、1ビット遅延時間が短くなった場合でも実現は容易である。

【0027】請求項7は、請求項6の符号変換回路において、前記第1の排他的論理和回路を $n-1$ 個の排他的論理和回路を組み合わせることで構成したことを特徴とする。 $n-1$ 個の排他的論理和回路を組み合わせることによって、請求項6の第1の排他的論理和回路を構成できる。

【0028】請求項8は、請求項2の符号変換回路において、入力信号が一方の入力に印加される排他的論理和回路と、前記排他的論理和回路の出力に接続されたDタイプフリップフロップとを前記和分変換回路に設けるとともに、前記Dタイプフリップフロップに含まれるマスターラッチの出力を分岐して、該出力からの信号を前記排他的論理和回路の他方の入力に帰還するとともに、前記Dタイプフリップフロップに含まれるスレーブラッチの出力から和分変換された信号を取り出すことを特徴とする。

【0029】請求項5と同様に、Dタイプフリップフロップのマスターラッチの出力から取り出した信号を帰還するので、帰還する信号がDタイプフリップフロップ内

部の遅延時間の影響を受けにくくなる。請求項9は、請求項2の符号変換回路において、それぞれが入力信号に対して1タイムスロット時間の遅延を与える $n-1$ 個の第1の遅延手段と、入力信号及び前記第1の遅延手段が出力する $n-1$ 個の信号のすべての排他的論理和を演算する第1の排他的論理和回路と、前記第1の排他的論理和回路の出力が一方の入力に接続された第2の排他的論理和回路と、前記第2の排他的論理和回路の出力に $n$ タイムスロット時間だけ遅延を与える第2の遅延手段とを前記和分変換回路に設けるとともに、互いに1タイムスロットの出現時間差を形成した $n$ 個の信号を前記第1の排他的論理和回路に入力し、前記第2の遅延手段の出力する信号を前記第2の排他的論理和回路の他方の入力に帰還し、前記第2の排他的論理和回路の出力から和分変換された信号を取り出すことを特徴とする。

【0030】請求項6と同様に、 $n-1$ 個の第1の遅延手段と第1の排他的論理和回路とを用いて事前に信号処理を施すことによって、1ビット遅延手段の代わりに第2の遅延手段を用いることができる。第2の遅延手段の遅延時間は、1ビットの時間に相当する1タイムスロットの $n$ 倍になるため、1ビット遅延時間が短くなった場合でも実現が容易である。

【0031】請求項10は、請求項9の符号変換回路において、前記第1の排他的論理和回路を $n-1$ 個の排他的論理和回路を組み合わせることで構成したことを特徴とする。 $n-1$ 個の排他的論理和回路を組み合わせることにより、請求項9の第1の排他的論理和回路を構成できる。請求項11は、請求項1、請求項2、請求項3、請求項4及び請求項8のいずれかの符号変換回路において、入力される2値データ信号を該2値データ信号の $1/n$ の信号速度の $n$ 並列信号に時分割分離する分離手段を更に設け、前記分離手段の出力する信号を符号変換回路の入力に印加することを特徴とする。

【0032】請求項11では、符号変換回路の入力に分離手段を備えているので、時分割多重化された信号をこの回路に入力することができる。請求項12は、請求項1、請求項2、請求項3、請求項4及び請求項8のいずれかの符号変換回路の出力に、該符号変換回路の並列出力信号を1ビット毎に時分割多重して出力する時分割多重化手段を接続したことを特徴とする。

【0033】請求項12では、符号変換回路の出力に時分割多重化手段が接続されているので、時分割多重化した信号を出力できる。

【0034】

【発明の実施の形態】（第1の実施の形態）本発明の符号変換回路及び符号変換多重化回路の1つの実施の形態について、図1～図8を参照して説明する。この形態は請求項1～請求項3及び請求項12に対応する。

【0035】図1はこの形態の符号変換多重化回路の構成を示すブロック図である。図2は図1の符号変換多重

化回路の詳細を示すブロック図である。図3は図2の多入力排他的論理和回路の具体例を示すブロック図である。図4は図2の多入力排他的論理和回路の具体例を示すブロック図である。

【0036】図5は多重数 $n=2$ の場合の符号変換多重化回路の構成を示すブロック図である。図6は図5の回路における信号の例を示すタイムチャートである。図7は多重数 $n=4$ の場合の符号変換多重化回路の構成を示すブロック図である。図8は図7の回路における信号の例を示すタイムチャートである。この形態では、請求項1の多重化前変換回路は符号変換回路100に対応する。また、請求項2の第1の排他的論理和回路、和分変換回路及び第2の排他的論理和回路は、それぞれ多入力排他的論理和回路110、和分変換回路120及び排他的論理和回路130に対応する。また、請求項3の排他的論理和回路及び遅延手段は、それぞれ排他的論理和回路121及び1ビット遅延手段122に対応する。請求項12の時分割多重化手段は、時分割多重化手段210に対応する。

【0037】例えば図21に示す送信機においては、時分割多重化され符号化された電気信号が論理反転回路に入力される。図2に示す符号変換多重化回路200が出力する出力信号201は、図21の論理反転回路に入力される電気信号と同様の信号になる。図2の符号変換多重化回路200に入力される入力信号101は、図21の例では多重化回路に入力される信号 $X_1$ 、 $X_2$ に相当する。

【0038】つまり、図2の符号変換多重化回路200は、図21に示す多重化回路及びプリコードと同等の機能を果たすものである。但し、信号処理の手順及び符号化の内容は大きく異なる。図21の送信機の場合には、多重化回路で多重化した信号をプリコードで処理しているのに対して、図2の符号変換多重化回路200では、多重化する前の入力信号（2値信号）101を符号変換回路100で符号変換してから、時分割多重化手段210で時分割多重化処理を行う。

【0039】図1の符号変換回路100に入力される入力信号101は、多重化される $n$ 個の2値信号（ $n$ ：多重数）を並列に並べた並列信号であるため、その速度（ビットレート）は多重化後の速度（伝送速度）の $1/n$ である。

【0040】つまり、符号変換回路100は伝送速度に比べて低速の電気信号を扱うので、符号変換回路100は比較的低速の回路素子で構成できる。逆に、符号変換回路100に従来と同一速度の回路素子を用いる場合には、従来に比べて伝送速度を $n$ 倍に上げることができる。符号変換回路100においては、例えば図21において論理反転回路に入力される信号と等価な信号が時分割多重化手段210から出力信号201として出力されるように符号変換を実施する。符号変換の結果は、 $n$ 個

の並列信号として符号変換回路100から出力される。

【0041】符号変換回路100が出力する $n$ 個の並列信号は、時分割多重化手段210に入力され、時分割多重化される。すなわち、時系列で予め定めた順番に並べられ、入力信号101の $n$ 倍のビットレートの出力信号201に変換される。信号の多重数が $n$ の場合、図1に示す符号変換回路100は、図2に示すように構成される。図2においては、符号変換回路100は多入力排他的論理和回路110、和分変換回路120及び排他的論理和回路130で構成されている。この符号変換回路100には、 $(n-1)$ 個の排他的論理和回路130が設けてある。

【0042】多入力排他的論理和回路110には、 $n$ 個の入力信号101の全てが入力される。多入力排他的論理和回路110は、 $n$ 個の入力信号101の全ての排他的論理和を演算する。多入力排他的論理和回路110の出力する信号が、和分変換回路120に入力される。和分変換回路120は、それに入力される信号の第1の入力論理（例えば「0」）に対しては出力論理を保持し、第2の入力論理（例えば「1」）に対しては出力論理を反転し、入力に対して1タイムスロット（1ビットの時間）の時間だけ遅延を与えた信号を出力する。

【0043】1番目の排他的論理和回路130(1)の2つの入力には、和分変換回路120の出力する信号と、多重化時の時系列の並びの順番が1番目の入力信号101(1)とが印加される。2番目の排他的論理和回路130(2)の2つの入力には、1番目の排他的論理和回路130(1)の出力する信号と、多重化時の時系列の並びの順番が2番目の入力信号101(2)とが印加される。

【0044】同様に、3番目～ $(n-1)$ 番目の排他的論理和回路130(3)～130( $n-1$ )の2つの入力には、2番目～ $(n-2)$ 番目の排他的論理和回路130(2)～130( $n-2$ )の出力する信号と、多重化時の時系列の並びの順番が3番目～ $(n-1)$ 番目の入力信号101(3)～101( $n-1$ )とが印加される。和分変換回路120の出力する信号と、 $(n-1)$ 個の排他的論理和回路130(1)～130( $n-1$ )がそれぞれ出力する信号とが、符号変換後の信号として時分割多重化手段210に入力される。つまり、符号変換された $n$ 個の並列信号が時分割多重化手段210に入力される。

【0045】図2に示す符号変換回路100は、次に説明するような考え方に基づいて構成されている。符号変換回路100が行う符号変換に必要とされる機能は、出力信号の隣り合う2つの符号間の変化に、本来伝送すべき2値データ信号の「0」と「1」とを対応させることである。つまり、論理「0」を送りたいときには、符号の「変化なし」を送出し、論理「1」を送りたいときには、符号の「変化」を送出するように符号化する。1ビット毎に時分割多重された信号が、そのような符号変換が施された信号となるためには、1番目の出力信号と



2番目の出力信号との差分に1番目の入力信号の情報を乗せ、2番目の出力信号と3番目の出力信号との差分に2番目の入力信号の情報を乗せる必要がある。

【0046】従って、何らかの操作によって1番目の出力信号を決めれば、2番目、3番目、・・・、 $n$ 番目の出力信号は、それぞれ1番目、2番目、・・・、 $(n-1)$ 番目の出力信号と1番目、2番目、・・・、 $(n-1)$ 番目の入力信号とから一意に決まる。

【0047】一方、1番目の出力信号は、1ビット毎に多重された信号列においては、 $n$ ビット毎に現れる。つまり、1番目の出力信号のある時刻の符号とその隣のタイムスロットにおける符号との差分は、1番目、2番目、・・・、 $n$ 番目のすべての符号の影響を受けるので、結果的に1番目、2番目、・・・、 $n$ 番目のすべての入力信号の排他的論理和演算出力が1番目の出力信号のある時刻の符号とその隣のタイムスロットにおける符号との差分になる。

【0048】従って、図2に示すような回路構成の符号変換回路100によって所望の符号変換が実現する。図2の多入力排他的論理和回路110としては、図3に示す多入力排他的論理和回路110A及び図4に示す多入力排他的論理和回路110Bのいずれの構成の回路を用いてもよい。

【0049】図3に示す多入力排他的論理和回路110Aにおいては、 $n$ 個の入力信号101(1~ $n$ )を2つずつの組に分け、それぞれの組について1列目の排他的論理和回路111で排他的論理和演算を行い、次にその出力を再び2つずつの組に分けて同様に2列目の排他的論理和回路112で排他的論理和演算を行い、このような操作を最終的に1つの出力が得られるまで繰り返すように構成してある。

【0050】なお、 $n$ が2のべき乗数である場合には最後まで余りを出すことなく2つずつの組を作ることができるが、 $n$ が2のべき乗数でない場合は組になれない信号が現れる。その場合、組になれなかった信号は他の信号が排他的論理和演算された出力の1つと組を作り、引き続き排他的論理和演算すればよい。図4に示す多入力排他的論理和回路110Bにおいては、まずはじめに $n$ 個の入力信号101(1~ $n$ )のうち任意の2つを選び、1番目の排他的論理和回路115(1)で排他的論理和演算を行う。

【0051】次に、その出力と別の入力信号との排他的論理和演算を2番目の排他的論理和回路115(2)で実施し、その次にはその出力とまた別の入力信号との排他的論理和演算を3番目の排他的論理和回路115(3)で行い、このような操作を最終的に1つの出力が得られるまで繰り返すように構成してある。なお、図3及び図4の構成は一例であり、一般にはそれらを組み合わせた構成で多入力排他的論理和回路110を実現することが可能である。例えば、 $n$ が2のべき乗でない場合は、それ

に対応して上述のように構成が変更される。いずれの場合も、 $(n-1)$ 個の排他的論理和回路を用いて多入力排他的論理和回路110を構成できる。

【0052】多重化する信号の数 $n$ が2の場合には、図2の符号変換多重化回路200は図5に示すように構成できる。図5に示す符号変換多重化回路200Aは、図6に示すように動作する。なお、図6においては1ビット遅延手段122以外の回路の遅延時間については無視している。また、図6においては論理「1」の信号の領域がハッチングで示されており、それ以外の領域は論理「0」の信号を表している。

【0053】この例では入力信号101の数 $n$ が2なので、図2の多入力排他的論理和回路110の代わりに排他的論理和回路110Cを用いて図5の符号変換回路100Aを構成してある。和分変換回路120Aは、排他的論理和回路121と1ビット遅延手段122とで構成してある。1ビット遅延手段122は信号を1ビットの時間だけ遅延する。信号を帰還するために、1ビット遅延手段122の出力は排他的論理和回路121の一方の入力に接続してある。

【0054】図5の符号変換回路100Aにおいて、2つの入力信号101(1)、101(2)が互いに同符号(論理「0」と論理「0」、又は論理「1」と論理「1」)の場合には、排他的論理和回路110Cが出力する信号SG1は論理「0」のままであり、1ビット遅延手段122が出力する信号SG3も初期状態を保持する。

【0055】この動作は、例えば図21に示す従来のパリコードにおける出力が、ある初期状態の論理レベルから、符号列「0」、「0」に対しては「保持」-「保持」のプロセスを経て、また符号列「1」、「1」に対しては「反転」-「反転」のプロセスを経て、元々の論理レベルを出力するのと等価である。また、図5の符号変換回路100Aにおいて、2つの入力信号101(1)、101(2)が互いに異符号(論理「0」と論理「1」、又は論理「1」と論理「0」)の場合には、排他的論理和回路110Cが出力する信号SG1は論理「1」になり、従って1ビット遅延手段122が出力する信号SG3が反転する。

【0056】この動作は、例えば図21に示す従来のパリコードにおける出力が、符号列「0」、「1」に対しては「保持」-「反転」のプロセスを経て、また符号列「1」、「0」に対しては「反転」-「保持」のプロセスを経てある初期状態から反転した状態になるのと等価である。また同時に、排他的論理和回路130は和分変換回路120Aが出力する信号SG3と入力信号101(1)との排他的論理和を演算する。入力信号101(1)が論理「0」の場合には、信号SG3と同じ信号が信号SG4として現れ、入力信号101(1)が論理「1」の場合には、信号SG3の論理を反転した信号が信号SG4として現れる。

【0057】すなわち、例えば図6に示すビット1a、2aから得られる信号SG3の論理Baを初期状態として、続くビットが1b「0」か「1」かに応じて、信号SG4論理レベルを保持するか反転するかが決定される。上記のような処理を行う符号変換回路100Aが出力する2つの信号SG3、SG4を時分割多重化手段210で時分割多重化することにより、図21のプリコードと等価な符号化が実現する。

【0058】この様にして、処理するビットの並びをビット1a、2aのペアから、ビット1b、2bのペアへとシフトさせて、全ビットのプリコーディングが完了する。図5の符号変換多重化回路200Aにおいては、符号変換回路100Aが伝送速度の1/2の速度で動作しているにも関わらず、等価的に伝送速度相当のプリコーディングを行うことができる。つまり、符号変換回路100Aに要求される動作速度は伝送速度の1/2に低減されている。

【0059】多重化する信号の数nが4の場合には、図2の符号変換多重化回路200は図7に示すように構成できる。図7に示す符号変換多重化回路200Bは、図8に示すように動作する。なお、図8においては1ビット遅延手段122以外の回路の遅延時間については無視している。また、図8においては論理「1」の信号の領域がハッチングで示されており、それ以外の領域は論理「0」の信号を表している。

【0060】この例では入力信号101の数nが4なので、図2の多入力排他的論理和回路110Dを3つの排他的論理和回路で構成してある。和分変換回路120Aの構成は、図5と同じになっている。図7の符号変換回路100Bは、多入力排他的論理和回路110D、和分変換回路120A及び3つの排他的論理和回路130で構成してある。図7の符号変換回路100Bの入力には、伝送速度の1/4の速度の4並列の入力信号101(1)~101(4)が入力される。

【0061】多入力排他的論理和回路110Dは、4並列の入力信号101(1)~101(4)の全ての排他的論理和を演算した結果を信号SG1として出力する。この信号SG1を和分変換した結果が信号SG3として和分変換回路120Aから出力される。図2の符号変換回路100Aと同様に、排他的論理和回路130(1)は、信号SG3と1番目の入力信号101(1)との排他的論理和を演算し、その結果を信号SG4(1)として出力する。排他的論理和回路130(2)は、信号SG4(1)と2番目の入力信号101(2)との排他的論理和を演算し、その結果を信号SG4(2)として出力する。排他的論理和回路130(3)は、信号SG3と3番目の入力信号101(3)との排他的論理和を演算し、その結果を信号SG4(3)として出力する。

【0062】図7の時分割多重化手段210は、4つの信号SG3、SG4(1)、SG4(2)、SG4(3)を順に

並べて時分割多重化した結果を信号SG5として出力する。図8の動作例から分かるように、図7の符号変換多重化回路200Bから出力される信号SG5は、従来のプリコードが出力する信号と等価である。つまり、図7の符号変換回路100Bは、伝送速度の1/4の速度で動作しているにも関わらず、等価的に伝送速度相当のプリコーディングを行うことができる。従って、符号変換回路100Bに要求される動作速度は、伝送速度の1/4に低減されている。

【0063】(第2の実施の形態)本発明の符号変換回路及び符号変換多重化回路の1つの実施の形態について、図9及び図10を参照して説明する。この形態は請求項4及び請求項12に対応する。図9はこの形態の符号変換多重化回路の構成を示すブロック図である。図10は図9の回路の信号の例を示すタイムチャートである。なお、図10においては図9の1/2ビット遅延手段151、155、156以外の遅延時間については考慮していない。

【0064】この形態では、請求項4の第1の遅延手段、第1の排他的論理和回路、第2の排他的論理和回路、第2の遅延手段、第3の遅延手段、リセット手段及び多重化前変換回路は、それぞれ1/2ビット遅延手段151、排他的論理和回路154、排他的論理和回路153、1/2ビット遅延手段156、1/2ビット遅延手段155、リセット手段152及び符号変換回路100Cに対応する。また、請求項12の時分割多重化手段はセレクト回路215に対応する。

【0065】図9に示す符号変換多重化回路200Cに印加される入力信号101は、伝送速度の1/2の速度を持つ2並列の2値信号である。すなわち、時分割多重される前の2つの信号が並列の入力信号101(1)、101(2)として入力される。

【0066】図9の符号変換多重化回路200Cは、符号変換回路100Cとセレクト回路215とで構成されている。セレクト回路215は、前記時分割多重化手段210と同じ機能を果たすものである。セレクト回路215は、符号変換回路100Cが出力する2つの信号103(1)、103(2)を図10に示すように予め定めた順番で交互に選択した結果を信号SG5として出力する。信号SG5の速度(ビットレート)は、伝送速度と同じであり、入力信号101の2倍の速度になる。

【0067】図9の符号変換回路100Cは、1/2ビット遅延手段151、リセット手段152、排他的論理和回路153、154、1/2ビット遅延手段155及び156で構成されている。1/2ビット遅延手段151、155及び156のそれぞれは、入力される信号を1/2ビットの時間だけ遅延した信号を出力する。

【0068】排他的論理和回路154の一方の入力には、直接入力信号101(1)が印加され、排他的論理和回路153の一方の入力には、入力信号101(2)を1

／2ビット遅延手段151で1／2ビットだけ遅延した信号102(2)が印加される。従って、排他的論理和回路154に入力される信号101(1)と排他的論理和回路153に入力される信号102(2)との間には1／2ビット分の位相差が生じる。

【0069】排他的論理和回路154が出力する信号は、1／2ビット遅延手段156で1／2ビット分時間遅延され、排他的論理和回路153の他方の入力に印加される。また、排他的論理和回路153が出力する信号は、1／2ビット遅延手段155で1／2ビット分時間遅延され、排他的論理和回路154の他方の入力に印加される。

【0070】リセット手段152は、2つの排他的論理和回路153、154の出力の初期状態を揃えるための信号を出力する。例えば、リセット手段152が排他的論理和回路153、154の電流源の電圧を0にする等の方法によって、それらの出力の初期状態を揃えることができる。1／2ビット遅延手段156から出力される信号103(1)と1／2ビット遅延手段155から出力される信号103(2)の間には1／2ビットの位相差が生じているため、これらの信号をそのままセレクト回路215に入力して伝送速度と同じビットレートの信号SG5に時分割多重することができる。

【0071】図9に示す符号変換多重化回路200Cは、結果的に図5の符号変換多重化回路200Aと同じ機能を果たす。たとえば図10と図6とを対比するとわかるように、入力信号101(1)、101(2)及び出力信号SG5は、図9の符号変換多重化回路200Cと図5の符号変換多重化回路200Aとで一致している。また、符号変換多重化回路200Cが出力する信号SG5は、従来のプリコードが出力する信号と等価である。

【0072】図9の符号変換回路100Cは、ビットレートが伝送速度の1／2の信号(101、102、103)を扱うので、比較的低速の回路素子を用いて符号変換回路100Cを構成できる。従来のプリコードと同一速度の回路素子を用いる場合には、伝送速度を2倍に上げることが可能である。

(第3の実施の形態)本発明の符号変換回路の1つの実施の形態について、図11及び図12を参照して説明する。この形態は請求項5及び請求項8に対応する。

【0073】図11はこの形態の符号変換回路の構成を示すブロック図である。図12は図11の回路の信号の例を示すタイムチャートである。この形態では、請求項5及び請求項8の排他的論理和回路及びDタイプフリップフロップは、それぞれ排他的論理和回路161及びDタイプフリップフロップ160に対応する。

【0074】図11の符号変換回路は、図21に示す従来のプリコードと同一の機能を果たす。ただし、図11の符号変換回路は内部の遅延時間が短縮されるように改良されている。図11において、排他的論理和回路16

1の出力に接続されたDタイプフリップフロップ160は、1ビットの時間遅延を実現するものである。

【0075】図12に示すように、Dタイプフリップフロップ160の入力(EXOR出力)と出力(出力信号)の間には、クロック信号の1周期程度の時間遅れが生じる。伝送速度の向上に伴って回路の伝搬遅延が1ビットのタイムスロットに比べて無視できない値になると、排他的論理和回路161へのフィードバックに要する遅延時間が1タイムスロット時間以上になる可能性がある。

【0076】図12に示すように、入力信号の最初の「1」のビットにより排他的論理和回路161は内部遅延時間d1の後、出力信号(EXOR出力)の論理を「0」から「1」に反転する。また、排他的論理和回路161が出力する信号をDタイプフリップフロップ160が読み込んでから出力するまでには遅延時間d2を要する。

【0077】Dタイプフリップフロップ160、一般的にマスタースレーブ型と呼ばれ、内部はマスタラッチ162とスレーブラッチ163との2段構成になっている。クロック信号が「0」の時、マスタラッチ162が入力を読み込み、クロック信号が「0」から「1」に遷移する瞬間に、マスタラッチ162内部で確定した論理レベルがスレーブラッチ163に読み込まれるとともに、Dタイプフリップフロップ160の出力が書き変わり、クロック信号が次の「1」状態になるまで書き換えた情報を保持する。したがって、遅延時間d2には回路自身の伝搬遅延に加え、Dタイプフリップフロップ160が入力を取り込み書き換えるまでのクロック半周期分の遅延が必然的に含まれる。

【0078】プリコードの回路が1ビット遅延を実現するためには、前記遅延時間d1、d2の和が1ビットの遅延時間と一致する必要がある。しかし、伝送速度の向上に伴い、総遅延時間が1ビット遅延を超えてしまうと、排他的論理和回路の入力端での信号の位相ずれが生じ、排他的論理和回路の出力信号に図20に示すようなノッチが発生して誤動作の原因になる。

【0079】そこで、図11の符号変換回路においては、Dタイプフリップフロップ160内部のマスタラッチ162が出力する信号162aを取り出してそれを排他的論理和回路161の入力に帰還するように構成してある。図12に示すように、マスタラッチ162が出力する信号162aは、Dタイプフリップフロップ160の出力信号に比べてクロック信号の半周期だけ遅延時間が短いので、信号162aを帰還することによってDタイプフリップフロップ160の内部での遅延時間の影響を大幅に緩和できる。すなわち、伝送速度が更に高速化した場合でも、1ビット遅延手段の総遅延時間が1ビットの遅延時間を超えるのを防止できる。

【0080】図11の符号変換回路は、従来のプリコー

ダの代わりに用いることができるが、それ以外に1ビット遅延手段を必要とする各種回路に適用できる。たとえば、図2、図5、図7の和分変換回路120、120Aを図11の符号変換回路で置き換えることができる。

(第4の実施の形態) 本発明の符号変換回路の1つの実施の形態について、図13～図17を参照して説明する。この形態は、請求項6、請求項7、請求項9及び請求項10に対応する。

【0081】図13はこの形態の符号変換回路の構成を示すブロック図である。図14は図13の $n=2$ の場合の具体例を示すブロック図である。図15は図14の回路の信号の例を示すタイムチャートである。図16は図13の $n=3$ の場合の具体例を示すブロック図である。図17は図13の $n=4$ の場合の具体例を示すブロック図である。

【0082】この形態では、請求項6及び請求項9の第1の遅延手段、第1の排他的論理和回路、第2の排他的論理和回路及び第2の遅延手段は、それぞれ1ビット遅延手段171、多入力排他的論理和回路172、排他的論理和回路181及び $n$ ビット遅延手段182に対応する。また、請求項7及び請求項10の排他的論理和回路は排他的論理和回路173に対応する。

【0083】図13に示す符号変換回路は、前処理回路170とフィードバック回路180とで構成されている。前処理回路170は、 $n-1$ 個の1ビット遅延手段171と多入力排他的論理和回路172とで構成されている。前処理回路170に入力される信号は、 $n-1$ 個の1ビット遅延手段171によって1ビットの時間ずつ順次に遅延される。多入力排他的論理和回路172は、前処理回路170の入力信号と、 $n-1$ 個の1ビット遅延手段171からそれぞれ出力される信号とを入力し、それら全ての排他的論理和を演算する。

【0084】フィードバック回路180の $n$ ビット遅延手段182は、排他的論理和回路181が出力する信号を $n$ ビットの時間だけ遅延した信号を排他的論理和回路181の入力に印加する。排他的論理和回路181は、前処理回路170の多入力排他的論理和回路172が出力する信号と $n$ ビット遅延手段182が出力する信号との排他的論理和を演算する。

【0085】図13の符号変換回路は、従来のプリコードの代わりとして利用できる。また、図2、図5、図7の和分変換回路120、120Aとしても利用できる。この種の回路においては、信号のビットレートが高速になると、帰還回路において1ビットの時間遅延を実現するのが困難になる。図13に示す符号変換回路においては、前処理回路170とフィードバック回路180とを組み合わせることによって、フィードバック回路180において必要とされる遅延時間を1ビットの $n$ 倍に拡大している。

【0086】このため、フィードバック回路180には

従来の1ビット遅延手段の代わりに $n$ ビット遅延手段182を設けてある。 $n$ ビット遅延手段182は1ビット遅延手段の $n$ 倍の時間遅延を行うので、ビットレートが更に高速化される場合でも実現は比較的容易である。従って、同じ速度の回路素子を用いる場合、図13の符号変換回路は従来のプリコードよりも高速の伝送速度に対応できる。

【0087】図13の符号変換回路は、 $n$ ビット前の信号と現在の信号から次の信号を決定するためには $n$ ビット前から現在までの間に結果として信号の状態が「保持」するのか「反転」するのかを事前に決定すればよい、といった考え方に基づいて構成してある。図13に示す多入力排他的論理和回路172は、たとえば図3又は図4に示す回路で実現できる。

【0088】図13の $n$ が2の場合、図13の符号変換回路はたとえば図14に示すように構成される。また、図14の符号変換回路は図15に示すように動作する。なお、図15においては排他的論理和回路173、181などの信号遅延については考慮していない。実際には、排他的論理和回路173、181などの信号遅延を考慮して2ビット遅延手段183の遅延時間を決定する必要がある。

【0089】図14の符号変換回路において、入力信号は2つに分岐され、一方は排他的論理和回路173に入力される。分岐されたもう一方の入力信号は、1ビット遅延手段171で1ビットの時間だけ遅延される。1ビット遅延手段171から出力される遅延された信号179は、排他的論理和回路173に入力される。排他的論理和回路173の出力する信号189が、排他的論理和回路181に入力される。排他的論理和回路181の出力する信号は、2ビットの時間遅延をもつ2ビット遅延手段183を介して排他的論理和回路181の入力に帰還される。

【0090】符号変換(プリコーディング)された信号が排他的論理和回路181から出力される。この出力信号は、図15からわかるように図21に示す従来のプリコードが出力する信号と等価である。図14と同様に、 $n$ が2以外の場合であっても図13の符号変換回路を構成できる。 $n$ が3の場合には、図13の符号変換回路はたとえば図16に示すように具体化できる。また、 $n$ が4の場合には、図13の符号変換回路はたとえば図17に示すように具体化できる。

【0091】図16においては、図13の前処理回路170を2つの1ビット遅延手段171(1)、171(2)と2つの排他的論理和回路173(1)、173(2)とで構成してある。また、図13のフィードバック回路180は、図16においては排他的論理和回路181と3ビット遅延手段184とで構成してある。3ビット遅延手段184は、3ビット相当の時間だけ遅延した信号を排他的論理和回路181の入力に帰還する。

【0092】図17においては、図13の前処理回路170を3つの1ビット遅延手段171(1)、171(2)、171(3)と3つの排他的論理和回路173(1)、173(2)、173(3)とで構成してある。また、図13のフィードバック回路180は、図17においては排他的論理和回路181と4ビット遅延手段185とで構成してある。4ビット遅延手段185は、4ビット相当の時間だけ遅延した信号を排他的論理和回路181の入力に帰還する。

【0093】(第5の実施の形態) 本発明の符号変換回路及び符号変換多重化回路の1つの実施の形態について、図18を参照して説明する。この形態は請求項11に対応する。図18はこの形態の符号変換多重化回路の構成を示すブロック図である。この形態では、請求項11の分離手段は時分割分離手段300に対応する。

【0094】図18に示す符号変換回路100及び時分割多重化手段210は、それぞれ図1における符号変換回路100及び時分割多重化手段210と同じものである。つまり、図18の符号変換回路は、図1に示す符号変換回路100の入力に時分割分離手段300を接続したものである。

【0095】図18に示す時分割分離手段300は、時分割多重され伝送速度と同じビットレートを有する信号を入力して、多重前の $n$ 個の信号をそれぞれ分離して出力する。従って、時分割多重された信号を時分割分離手段300に入力すると、符号変換回路100の入力には多重前の $n$ 並列信号が印加される。この $n$ 並列信号のビットレートは伝送速度の $1/n$ になる。

【0096】従って、符号変換回路100は伝送速度に比べて低速の信号を処理すればよく、図1の場合と同様に伝送速度の高速化に対応できる。また、図18の符号変換多重化回路は時分割多重された信号を入力できるので、たとえば図21のプリコードの代わりとして置き換えて用いることもできる。図1の場合と同様に、図18の符号変換回路100には前述の様々な構成の回路を適用できる。

【0097】

【発明の効果】以上説明したように、本発明によれば、時分割多重する前の電気信号を処理して符号化することにより、伝送速度に比べて低速の信号を符号変換回路で扱うことができ、伝送速度の高速化が容易になる。また、遅延時間短縮の困難さの解消にも効果的である。

【0098】また、1ビット遅延手段としてDタイプフリップフロップを用いる場合に、マスタラッチの出力から取り出した信号を帰還することにより、遅延時間短縮の困難さを解消することができる。また、プリコーディングなどの符号変換を行う場合に、事前に信号処理を施すことによって、帰還回路に必要とされる遅延時間を2ビット以上に拡大できるので遅延時間短縮の困難さを大幅に解消できる。

【図面の簡単な説明】

【図1】第1の実施の形態の符号変換多重化回路の構成を示すブロック図である。

【図2】図1の符号変換多重化回路の詳細を示すブロック図である。

【図3】図2の多入力排他的論理和回路の具体例を示すブロック図である。

【図4】図2の多入力排他的論理和回路の具体例を示すブロック図である。

【図5】多重数 $n=2$ の場合の符号変換多重化回路の構成を示すブロック図である。

【図6】図5の回路における信号の例を示すタイムチャートである。

【図7】多重数 $n=4$ の場合の符号変換多重化回路の構成を示すブロック図である。

【図8】図7の回路における信号の例を示すタイムチャートである。

【図9】第2の実施の形態の符号変換多重化回路の構成を示すブロック図である。

【図10】図9の回路の信号の例を示すタイムチャートである。

【図11】第3の実施の形態の符号変換回路の構成を示すブロック図である。

【図12】図11の回路の信号の例を示すタイムチャートである。

【図13】第4の実施の形態の符号変換回路の構成を示すブロック図である。

【図14】図13の $n=2$ の場合の具体例を示すブロック図である。

【図15】図14の回路の信号の例を示すタイムチャートである。

【図16】図13の $n=3$ の場合の具体例を示すブロック図である。

【図17】図13の $n=4$ の場合の具体例を示すブロック図である。

【図18】第5の実施の形態の符号変換多重化回路の構成を示すブロック図である。

【図19】1ビット遅延手段の構成例を示すブロック図である。

【図20】図19の回路の動作例を示すタイムチャートである。

【図21】従来例の光デュオバイナリ伝送システムの送信機の構成を示すブロック図である。

【図22】図21の符号変換多重化回路の動作例を示すタイムチャートである。

【符号の説明】

100 符号変換回路

101 入力信号

110 多入力排他的論理和回路

111, 112, 113, 114, 115 排他的論理

和回路

120 和分変換回路

121 排他的論理和回路

122 1ビット遅延手段

130 排他的論理和回路

151, 155, 156 1/2ビット遅延手段

152 リセット手段

153, 154 排他的論理和回路

160 Dタイプフリップフロップ

161 排他的論理和回路

162 マスタラッチ

163 スレーブラッチ

170 前処理回路

171 1ビット遅延手段

172 多入力排他的論理和回路

173 排他的論理和回路

179 信号

180 フィードバック回路

181 排他的論理和回路

182 nビット遅延手段

183 2ビット遅延手段

184 3ビット遅延手段

185 4ビット遅延手段

189 信号

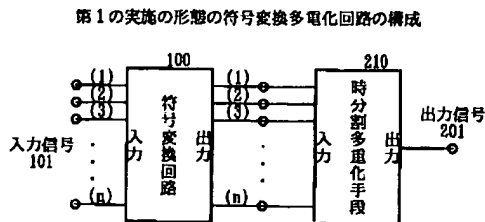
200 符号変換多重化回路

210 時分割多重化手段

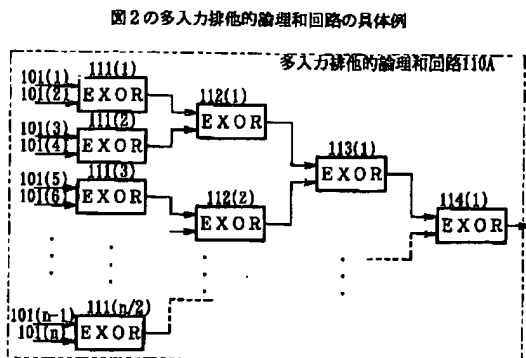
215 セレクタ回路

300 時分割分離手段

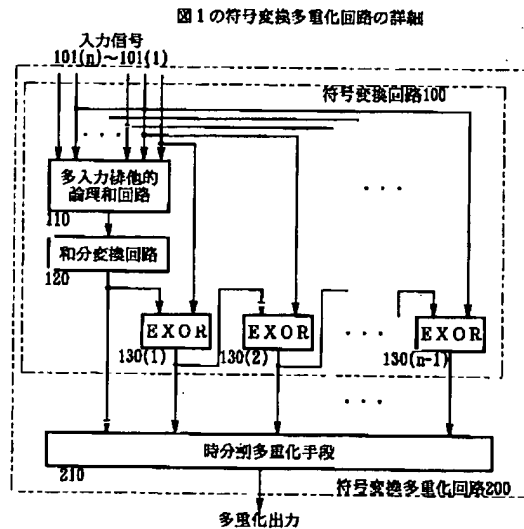
【図1】



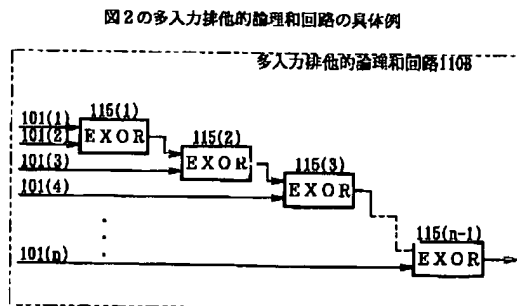
【図3】



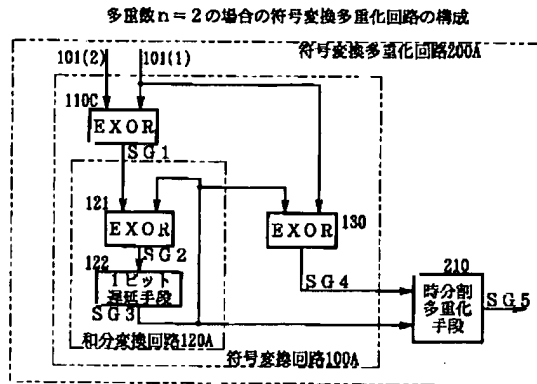
【図2】



【図4】

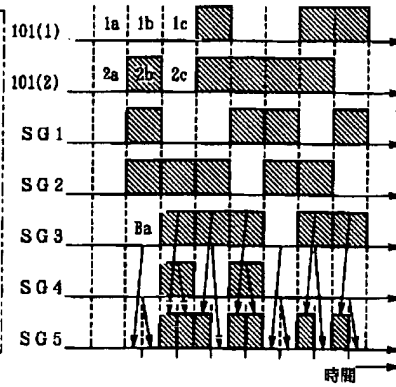


【図5】



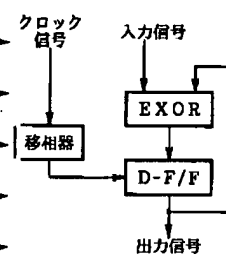
【図6】

図5の回路における信号の例

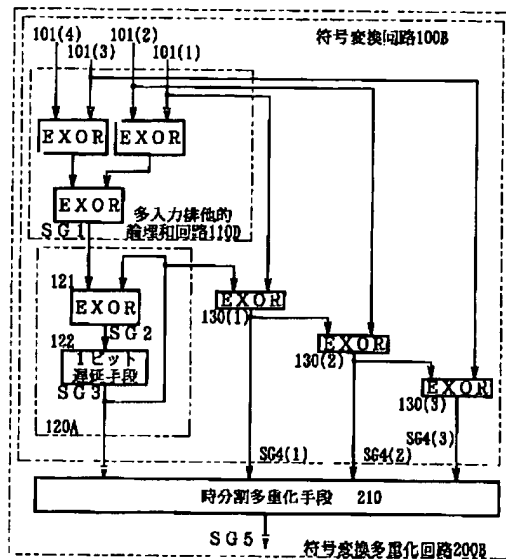


【図19】

1ビット遅延手段の構成例

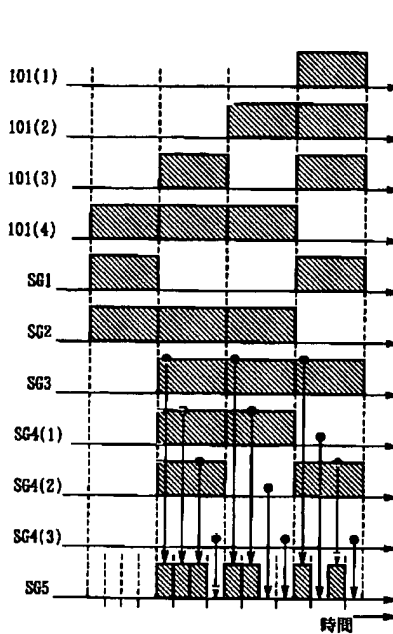


【図7】

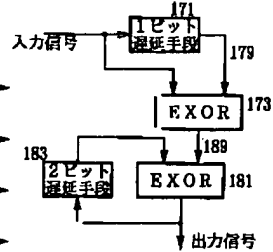
多重数  $n=4$  の場合の符号変換多重化回路の構成

【図8】

図7の回路における信号の例

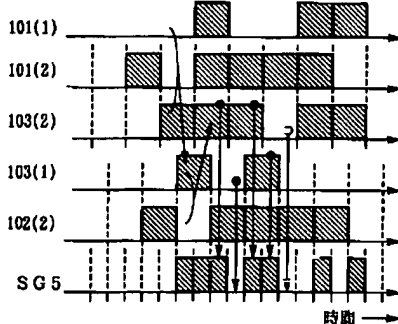


【図14】

図13の  $n=2$  の場合の具体例

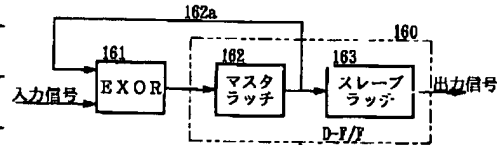
【図10】

図9の回路の信号の例

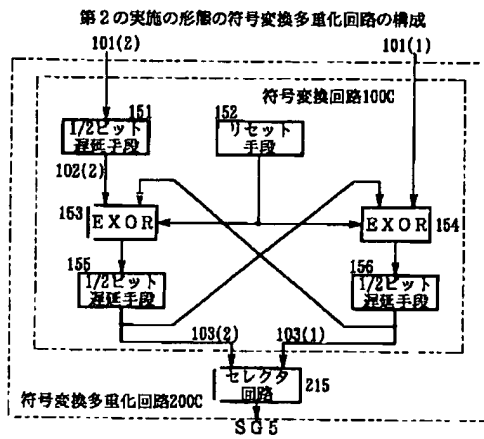


【図11】

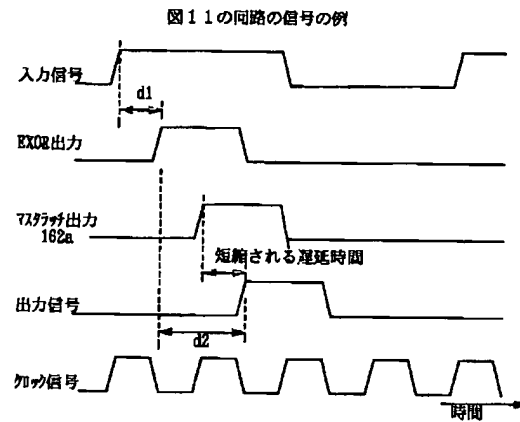
第3の実施の形態の符号変換回路の構成



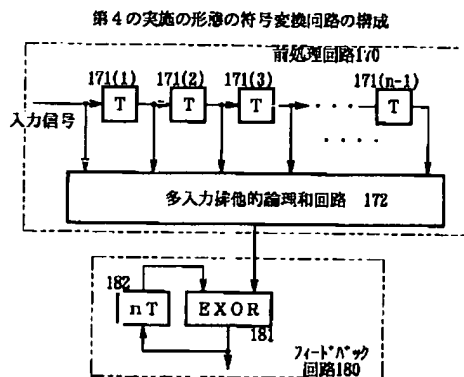
【図 9】



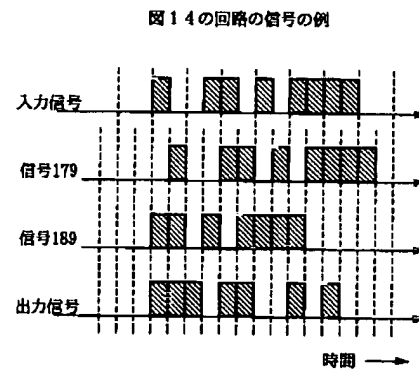
【図 12】



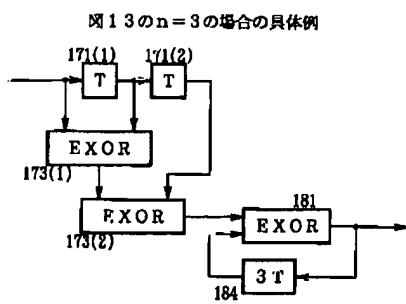
【図 13】



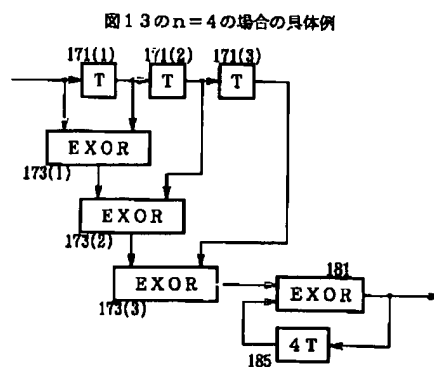
【図 15】



【図 16】



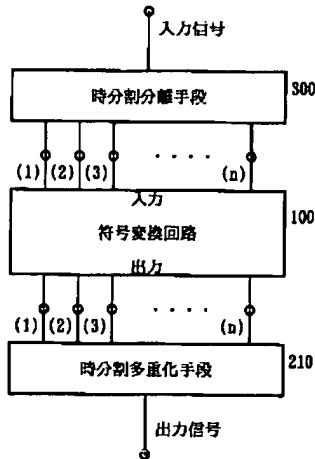
【図 17】





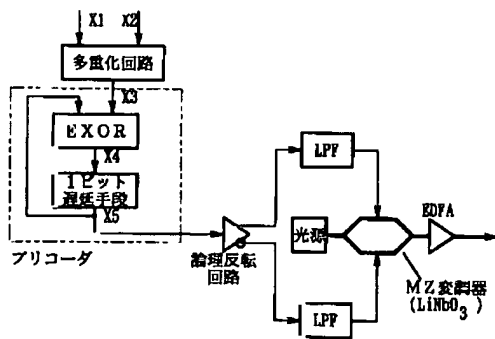
【図18】

第5の実施の形態の符号変換多重化回路の構成



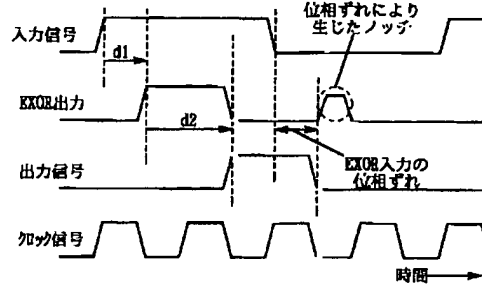
【図21】

従来例の光デュオバイナリ伝送システムの送信機の構成



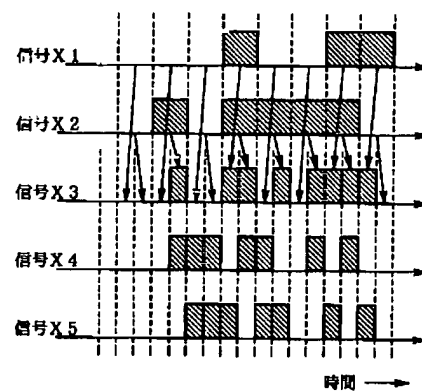
【図20】

図19の回路の動作例



【図22】

図21の符号変換多重化回路の動作例



フロントページの続き

(72)発明者 村田 浩一  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 宮本 裕  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

Fターム(参考) 5K002 AA01 AA02 CA01 CA13 DA03  
DA05 FA01  
5K028 AA06 BB08 KK01 KK03 KK16  
SS01 SS06 SS16  
5K029 AA11 CC04 DD23 GG03 GG07  
LL08 LL12 LL15